

RS  
#  
2

Docket No. 122.1440/HJS

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

J1017 U.S. PRO  
09/805110  
03/14/01

In re Application of:

Takayuki WATANABE

Group Art Unit:

Serial No.:

Examiner:

Filed: March 14, 2001

For: SKEW CORRECTION APPARATUS

**SUBMISSION OF CERTIFIED COPY OF PRIOR  
FOREIGN APPLICATION IN ACCORDANCE WITH  
THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)  
herewith a certified copy of the following foreign application(s):

Japanese Patent Application No. 2000-220629  
Filed: July 21, 2000

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing  
date, as evidenced by the certified papers attached hereto, in accordance with the requirements  
of 35 U.S.C. § 119.

Respectfully submitted,  
STAAS & HALSEY LLP

Date: March 14, 2001

By: \_\_\_\_\_

*H. J. Staas*  
H. J. Staas  
Registration No. 22,010

700 Eleventh Street, N.W.  
Suite 500  
Washington, D.C. 20001  
Telephone: (202) 434-1500  
Facsimile: (202) 434-1501

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 7月21日

出 願 番 号

Application Number:

特願2000-220629

出 願 人

Applicant (s):

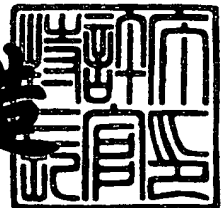
富士通株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年10月13日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3084829

【書類名】 特許願

【整理番号】 0051008

【提出日】 平成12年 7月21日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H04L 7/00

【発明の名称】 スキュー補正装置

【請求項の数】 6

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 渡辺 高行

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100077517

    【弁理士】

    【氏名又は名称】 石田 敬

    【電話番号】 03-5470-1900

【選任した代理人】

    【識別番号】 100092624

    【弁理士】

    【氏名又は名称】 鶴田 準一

【選任した代理人】

    【識別番号】 100100871

    【弁理士】

    【氏名又は名称】 土屋 繁

【選任した代理人】

    【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905449

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スキュー補正装置

【特許請求の範囲】

【請求項 1】 複数のチャネルを介して複数のシリアルデータを受信して、該複数のシリアルデータ間の位相ずれであるスキュー量を小さくするスキュー補正装置において、

データ伝送をしていないアイドル時に、前記複数のシリアルデータ間におけるスキュー量を検出して、該スキュー量がゼロになるように前記複数のシリアルデータの各々の遅延量を補正する第 1 のスキュー補正手段と、

前記第 1 のスキュー補正手段により補正された後のデータ伝送中に発生する前記複数のシリアルデータ間におけるスキュー量を検出して、該スキュー量がゼロになるように前記複数のシリアルデータの各々の遅延量を補正する第 2 のスキュー補正手段と、

を備えていることを特徴とするスキュー補正装置。

【請求項 2】 前記第 1 のスキュー補正手段は、

アイドル状態を検出するアイドル検出回路と、

該アイドル状態の検出時に 1 次スキュー補正をして前記複数のシリアルデータの各々の遅延量を補正する 1 次スキュー補正回路とを備えており、

前記第 2 のスキュー補正手段は、

前記 1 次スキュー補正回路により補正された遅延量を持つ前記複数のシリアルデータのデータ伝送中におけるスキュー量を監視するスキュー監視回路と、

該スキュー監視回路により検出されたスキュー量をゼロにするように前記複数のシリアルデータの各々の遅延量を補正する遅延調整回路とを備えていることを特徴とする請求項 1 に記載のスキュー補正装置。

【請求項 3】 前記 1 次スキュー補正回路は、

前記複数のシリアルデータから 1 つのシリアルデータを選択する選択回路と、

前記選択されたシリアルデータと前記複数のシリアルデータの各々との位相差が最小となるように受信シリアルデータの遅延量を制御する遅延量制御回路とを備えていることを特徴とする請求項 2 に記載のスキュー補正装置。

【請求項4】 前記受信した複数のシリアルデータの各々は連続するバイトからなり、前記バイトの各々の先頭位置に伝送データとは別の付加情報が含まれており、

前記スキュー監視回路は、

前記複数のチャンネルから選択された1つのチャンネルを介して受信されるシリアルデータを基準シリアルデータとし、該基準シリアルデータから、該基準シリアルデータのビットを識別するビットクロックと、該基準シリアルデータのバイトを識別するバイトクロックと、前記基準シリアルデータに含まれる前記付加情報に対応するタイミング幅の範囲内で前記バイトクロックより遅れて変化するアーリックロックと、前記基準シリアルデータに含まれる前記付加情報に対応するタイミング幅の範囲内で前記アーリックロックより遅れて変化するディレイクロックとを抽出するクロックリカバリ回路と、

前記選択されたチャンネル以外のチャンネルを介して受信されるシリアルデータに含まれる前記付加情報に対応するタイミング幅内に前記アーリックロックの変化時と前記ディレイクロックの変化時が含まれるかどうかを判定する付加情報チェック回路と、

前記付加情報チェック回路により前記選択されたチャンネル以外のチャンネルを介して受信されるシリアルデータに含まれる前記付加情報の受信タイミング幅内に前記アーリックロックの変化時と前記ディレイクロックの変化時の少なくとも1つが含まれないと判定されたときに、スキュー量をゼロにするように対応するチャンネルのシリアルデータの遅延量を補正する第2の遅延調整回路と、を備えていることを特徴とする請求項2に記載のスキュー補正回路。

【請求項5】 前記付加情報は連続するバイト毎に“1”と“0”とが交代する1ビットの情報であり、

前記付加情報チェック回路は、各チャンネル毎に、

前記アーリックロックの変化時に、前記シリアルデータが“1”であれば第1の状態となり、前記シリアルデータが“0”であれば前記第1の状態とは異なる第2の状態となる第1のラッチ信号を出力する第1のラッチ回路と、

前記ディレイクロックの変化時に、前記シリアルデータが“1”であれば第1

の状態となり、前記シリアルデータが“0”であれば前記第1の状態とは異なる第2の状態となる第2のラッチ信号を出力する第2のラッチ回路と、

前記第1のラッチ回路の出力が所定バイト数にわたって“1”と“0”の交代パターンから外れているかどうかを判定する第1の判定回路と、

前記第2のラッチ回路の出力が所定バイト数にわたって“1”と“0”の交代パターンから外れているかどうかを判定する第2の判定回路と、  
を備えており、

前記第2の遅延調整回路は、各チャンネル毎に、前記第1の判定回路の出力が前記所定バイト数にわたって“1”と“0”の交代パターンから外れていることを示す場合は、前記基準シリアルデータに対して当該チャンネルのシリアルデータの位相を進めるように遅延量を調整し、前記第2の判定回路の出力が前記所定バイト数にわたって“1”と“0”の交代パターンから外れていることを示す場合は、前記基準シリアルデータに対して当該チャンネルのシリアルデータの位相を遅らせるように遅延量を調整する可変遅延回路を備えていることを特徴とする請求項4に記載のスキュー補正装置。

【請求項6】 前記受信した複数のシリアルデータの各々は連続するバイトからなり、

前記スキュー量監視回路は、

前記複数のチャンネルから選択された1つのチャンネルを介して受信されるシリアルデータを基準シリアルデータとし、該基準シリアルデータから、該基準シリアルデータのバイトを識別する基準バイトクロックを抽出する基準チャンネルクロックリカバリ回路と、

前記選択されたチャンネル以外のチャンネルを介して受信されるシリアルデータのバイトを識別する通常バイトクロックを抽出する少なくとも1つの通常チャンネルクロックリカバリ回路と、

前記通常チャンネルクロックリカバリ回路が抽出したバイトクロックの位相と、前記基準チャンネルクロックリカバリ回路が抽出した前記バイトクロックの位相との位相差を検出して電圧値に変換する位相比較及び電圧変換回路と、

前記電圧値に応じて、スキュー量をゼロにするように対応するチャンネルのシリ

アルデータの遅延量を補正する第 2 の遅延調整回路と、  
を備えていることを特徴とする請求項 2 に記載のスキュー補正回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はスキュー補正装置に関し、特にデータ伝送の受信側における位相ずれであるスキュー量を小さくするスキュー補正装置に関する。

【0002】

【従来の技術】

図 1 は従来の最も基本的なパラレルデータ伝送システムを示すブロック図である。図において、送信部 10 と受信部 11 との間の複数の伝送チャンネル 12-1 ~ 12-5 を介して、データ DATA0 ~ DATA3 とバイトクロック信号 CLK がパラレルに伝送される。DATA0 ~ DATA3 のそれぞれは 8 ビットのシリアルデータである。この場合、伝送チャンネル 12-1 ~ 12-5 毎の素子特性バラツキやケーブルの伝達遅延時間のバラツキが生じると、伝送チャンネル間の位相のずれであるスキューが発生する。この結果、データ伝送の高速化、多バイト化が制約されるという問題がある。

【0003】

図 2 はこの問題を解決するための従来のシリアルバンドルパラレルデータ伝送システムのブロック図である。このシステムは、例えば、Sun, Intel, IBM 等の会社が提案している Infiniband の伝送方式として知られている。図において、送信部 21 はバイトクロック信号 (B CLK) をエンコーダとパラレルシリアル変換器とに分配するクロックゲート 211 と、データ DATA0 ~ DATA3 毎に、それぞれのデータの 0 連続を避けることにより補正品質を向上するために 8 ビットのデータを 10 ビットのデータに変換する 4 つのエンコーダ 212 と、4 つのパラレル/シリアル変換器 213 と、4 つの電気/光変換器 214 とを備えている。また、受信部 22 は、4 つのチャンネルに対応して 4 つの光/電気変換器 221 と、4 つのクロックリカバリ回路 222 と、4 つのシリアル/パラレル変換器 223 と、4 つのデコーダ 224 とを備えており、4 つのデコーダ 224 の出



力はデスキュー回路 2 2 5 に入力される。

【 0 0 0 4 】

送信部 2 1 のエンコーダ 2 1 2 の各々は、クロックゲート 2 1 からのクロック信号を受けて 1 バイトが 8 ビットのパラレルデータ DATA 0 ～ DATA 3 の各々を 1 バイトが 1 0 ビットのパラレルデータに変換する。パラレル／シリアル変換器 2 1 3 の各々は、パラレルデータを 1 バイト毎にシリアルデータに変換する。シリアルデータは、伝送の長距離化のために電気／光変換器 2 1 4 により電気信号から光信号に変換されて、光ファイバを介して送信される。

【 0 0 0 5 】

光ファイバを介して受信部 2 2 により受信された光信号は、光／電気変換器 2 2 1 により電気信号に変換され、クロックリカバリ回路 2 2 2 によりクロック信号が再生され、シリアル／パラレル変換器 2 2 3 によりパラレル信号に変換され、デコーダ 2 2 4 により 1 バイトが 1 0 ビットのパラレルデータから 1 バイトが 8 ビットのパラレルデータが再生される。伝送速度の高速化に伴い（上記 infini band では 1 ビット幅が 400ps）、物理的にスキューレスで伝送することは不可能なので、データ受信部 2 2 にてデスキュー回路 2 2 5 が必要になる。再生された 8 ビットのパラレルデータに存在するスキューは、デスキュー回路 2 2 5 により除去される。

【 0 0 0 6 】

一般的なデスキュー方式として、以下のような方式が考えられる。

(1) 装置（伝送系）の初期セットアップ時に、予め決められたスキュー補正用のデータパターンを送信し、受信部にて伝送チャンネル毎に設けられた遅延回路の遅延値をチューニングする。

(2) データ伝送を開始する前に、予め決められたスキュー補正用データパターンを送信し、受信側に備えられたデスキュー回路にて伝送チャンネル毎の遅延値を設定する。遅延値の設定方法としては、各伝送チャンネル毎にシフトレジスタを数段設け、各伝送チャンネルのスキュー補正用データパターンの位相が合うように、シフトレジスタを通過してから受信データを受け取る。

【 0 0 0 7 】

## 【発明が解決しようとする課題】

上記従来技術においては、デスキューの初期設定をした後に、素子特性の温度変動や、ケーブルの配線変更のためにスキュー条件が変化した場合、デスキュー作業を再度実施しなければならない。しかしながら、エラーが発生してからデスキュー作業を実施することは、コンピュータシステムのデータ伝送品質上好ましくない。したがって、スキュー発生によるデータエラーを避けるために、常に定期的にデスキュー作業を実施する必要がある。しかし、このデスキュー作業中は本来のデータ伝送をすることができないので、定期的にデスキュー作業をするとデータの転送容量が下がることになり、その結果システムの性能が下がることになる。

## 【0008】

本発明の目的は、データ伝送中でもデスキュー作業を可能にして、デスキュー作業によるデータ転送容量及びシステム性能の低下を防止したスキュー補正装置を提供することにある。

## 【0009】

## 【課題を解決するための手段】

上記の目的を達成するために、本発明の一態様により提供されるものは、データ伝送をしていないアイドル時に、スキュー量を補正する第1のスキュー補正手段と、第1のスキュー補正手段により補正された後のデータ伝送中にスキュー量を補正する第2のスキュー補正手段とを備えていることを特徴とするスキュー補正装置である。

## 【0010】

アイドル時にスキュー補正された後のデータ伝送中にもスキュー補正ができるので、デスキュー中でもデータ伝送を中断する必要がなく、したがって、デスキュー動作によるデータ伝送容量及びシステム性能の低下は防止される。

本発明の第2の態様によれば、第1のスキュー補正手段は、アイドル状態を検出するアイドル検出回路と、該アイドル状態の検出時に1次スキュー補正をして複数のシリアルデータの各々の遅延量を補正する1次スキュー補正回路とを備えており、第2のスキュー補正手段は、1次スキュー補正回路により補正された遅

延量を持つ複数のシリアルデータのデータ伝送中におけるスキュー量を監視するスキュー監視回路と、該スキュー監視回路により検出されたスキュー量をゼロにするように複数のシリアルデータの各々の遅延量を補正する遅延調整回路とを備えている。

【 0 0 1 1 】

アイドル検出回路を設けたことにより、オペレータによるデスキュー作業が不要になる。

本発明の第 3 の態様によれば、第 2 の態様において、1 次スキュー補正回路は、複数のシリアルデータから 1 つのシリアルデータを選択する選択回路と、選択されたシリアルデータと複数のシリアルデータの各々との位相差が最小となるように受信シリアルデータの遅延量を制御する遅延量制御回路とを備えている。

【 0 0 1 2 】

本発明の第 4 の態様によれば、第 2 の態様において、受信した複数のシリアルデータの各々は連続するバイトからなり、バイトの各々の先頭位置に伝送データとは別の付加情報が含まれている。また、スキュー監視回路は、クロックリカバリ回路と、付加情報チェック回路と、第 2 の遅延調整回路とを備えている。クロックリカバリ回路は、基準シリアルデータのビットを識別するビットクロックと、基準シリアルデータのバイトを識別するバイトクロックと、基準シリアルデータに含まれる付加情報に対応するタイミング幅の範囲内でバイトクロックより遅れて変化するアーリィクロックと、基準シリアルデータに含まれる付加情報に対応するタイミング幅の範囲内でアーリィクロックより遅れて変化するディレイクロックとを抽出する。付加情報チェック回路は、基準チャネル以外のチャネルを介して受信されるシリアルデータに含まれる付加情報に対応するタイミング幅内にアーリィクロックの変化時とディレイクロックの変化時が含まれるかどうかを判定する。第 2 の遅延調整回路は、基準チャネル以外のチャネルを介して受信されるシリアルデータに含まれる付加情報の受信タイミング幅内にアーリィクロックの変化時とディレイクロックの変化時の少なくとも 1 つが含まれないと判定されたときに、スキュー量をゼロにするように対応するチャネルのシリアルデータの遅延量を補正する。

## 【 0 0 1 3 】

転送シリアルデータに付加情報を追加するだけで、データ伝送中であってもスキューが常時補正される。

本発明の第5の態様によれば、第4の態様において、付加情報は連続するバイト毎に“1”と“0”とが交代する1ビットの情報である。また、付加情報チェック回路は、各チャンネル毎に、第1及び第2のラッチ回路と、第1及び第2の判定回路とを備えている。第1のラッチ回路は、アーリクロックの変化時に、シリアルデータが“1”であれば第1の状態となり、シリアルデータが“0”であれば第1の状態とは異なる第2の状態となる第1のラッチ信号を出力する。第2のラッチ回路は、ディレイクロックの変化時に、シリアルデータが“1”であれば第1の状態となり、シリアルデータが“0”であれば第1の状態とは異なる第2の状態となる第2のラッチ信号を出力する。第1の判定回路は、第1のラッチ回路の出力が所定バイト数にわたって“1”と“0”の交代パターンから外れているかどうかを判定する。第2の判定回路は、第2のラッチ回路の出力が所定バイト数にわたって“1”と“0”の交代パターンから外れているかどうかを判定する。

## 【 0 0 1 4 】

また、第2の遅延調整回路は、各チャンネル毎に、第1の判定回路の出力が所定バイト数にわたって“1”と“0”の交代パターンから外れていることを示す場合は、基準シリアルデータに対して当該チャンネルのシリアルデータの位相を進めるように遅延量を調整し、第2の判定回路の出力が所定バイト数にわたって“1”と“0”の交代パターンから外れていることを示す場合は、基準シリアルデータに対して当該チャンネルのシリアルデータの位相を遅らせるように遅延量を調整する。

## 【 0 0 1 5 】

高速伝送系の場合、伝送品質向上のために、コード変換（例えば、4 B 5 B 変換や 8 B 1 0 B 変換）が採用されるのが一般的であるので、“1”と“0”とが交代する付加情報をシリアルデータに含ませることにより転送データの符号デューティのアンバランス性を解消できる。この結果、データ転送効率を落とすコー

ド変換が不要になる。

【0016】

本発明の第6の態様によれば、第2の態様において、スキュー量監視回路は、基準チャネルクロックリカバリ回路と、通常チャネルクロックリカバリ回路と、位相比較及び電圧変換回路と、第2の遅延調整回路とを備えている。基準チャネルクロックリカバリ回路は、基準シリアルデータのバイトを識別する基準バイトクロックを抽出する。通常チャネルクロックリカバリ回路は、基準チャネル以外のチャネルを介して受信されるシリアルデータのバイトを識別する通常バイトクロックを抽出する。位相比較及び電圧変換回路は、通常チャネルクロックリカバリ回路が抽出したバイトクロックの位相と、基準チャネルクロックリカバリ回路が抽出したバイトクロックの位相との位相差を検出して電圧値に変換する。第2の遅延調整回路は、電圧値に応じて、スキュー量をゼロにするように対応するチャネルのシリアルデータの遅延量を補正する。

【0017】

このように、データ伝送中にバイトクロックの位相をチャネル間で調整しても、データ伝送を中断することなく常時スキュー補正をすることができる。

【0018】

【発明の実施の形態】

以下、本発明の実施例を図面により詳述する。

図3は本発明によるスキュー補正回路の概略ブロック図である。このスキュー補正回路は受信部に設けられ、複数のチャネルを介して複数のシリアルデータを受信して、その複数のシリアルデータ間の位相ずれであるスキュー量を小さくするものである。図において、データDATA0～データDATA<sub>n</sub>（以下、データ0～データ<sub>n</sub>と称する）はそれぞれシリアルデータである。1次スキュー補正手段31は、データ伝送をしていないアイドル時に、複数のシリアルデータ0～<sub>n</sub>の間におけるスキュー量を検出して、そのスキュー量がゼロになるようにシリアルデータの各々の遅延量を補正する。2次スキュー補正手段32は、1時スキュー補正手段31により補正された状態に基づいて、データ伝送中に発生する前記複数のシリアルデータ間におけるスキュー量を検出して、該スキュー量がゼロ

になるように前記複数のシリアルデータの各々の遅延量を補正する。

#### 【0019】

図4は図3に示したスキュー補正回路を詳細に示すブロック図である。図において、1次スキュー補正手段31は、アイドル検出回路41と1時スキュー補正回路42とを備えている。また、2次スキュー補正手段32は、ディレイ調整回路43とスキュー監視回路44とを備えている。

1次スキュー補正手段31内のアイドル検出回路41は、データ伝送中ではないアイドル時を検出する。1次スキュー補正回路42はアイドル信号を受信中に、バイト同期信号を生成し、各チャンネル間のバイト同期信号の位相差を監視する。アイドル信号は、1次スキュー補正のためのエッジと同期獲得パターンとを含む。この同期獲得パターンであるアイドルパターンを転送中は、1次スキュー補正回路42によりスキュー補正を行う。

#### 【0020】

アイドル時を自動的に検出することに代えて、オペレータが定期的に1次スキュー補正をするようにしてもよい。

2次スキュー補正手段32内のディレイ調整回路43は、データ転送の開始時にデータ0～データnの間の位相のずれをなくするように受信データの位相を調整する。

#### 【0021】

受信データの位相がゼロになった後に、スキュー監視回路44は、データ0～データnの各バイトの先頭ビットに付加された付加ビット（付加情報）を監視して、その付加ビットの位相が1ビット以上ずれた場合に、ディレイ調整回路43にそのずれを伝達し、ディレイ調整回路43はそのずれに応じて受信データの位相を再びゼロにするように調整する。

#### 【0022】

こうして、データ転送中でも、スキュー補正が可能になる。

図5は本発明の一実施例によるデータ伝送システムの概略ブロック図である。同図において、送信部51は、データ0～データ3のそれぞれの8ビットの平行ルデータに付加ビットAと奇数パリティビットを追加して10ビットのデータ

に変換する4つのビット追加回路511と、4つのパラレル／シリアル変換器512と、4つの電気／光変換器513と、4つのバイトクロック信号をパラレル／シリアル変換器512に与えるクロックゲート514とを備えている。

#### 【0023】

ビット追加回路511の各々においては、送信データの各バイト（8ビット）の先頭にスキュー補正用の付加ビットを付加し、各バイトの送信データの最後に奇数パリティビットを付加する。

受信部52は、4つの光／電気変換器521と、1つのデスキュー回路522とを備えている。

#### 【0024】

図6は図5に示した522のデスキュー回路522の中の1次スキュー補正回路42一実施例を示す回路図である。同図において、1次スキュー補正回路42は、受信シリアルデータであるデータ0～データ3から最遅延信号を選択する最遅延セレクト回路60と、受信データを可変遅延させる第1の可変遅延回路610～613と、位相比較及び電圧変換器620～623と、ディジタル変換器630～633と、アンドゲート64とを備えている。

#### 【0025】

図7は図5に示したデスキュー回路522の中の図3に示した2次スキュー補正手段32の一実施例を示す回路図である。同図において、2次スキュー補正手段32は、図6に示した第1の可変遅延回路610～613の出力を受け取る4つの第2の可変遅延回路（遅延調整回路）651～653と、1つのクロックリカバリ回路66と、4つの付加情報チェック回路670～673と、アンドゲート68と、アラーム信号を形成する論理回路69とを備えている。

#### 【0026】

クロックリカバリ回路66は、第1の可変遅延回路610から出力される基準シリアルデータDATA0のビットを識別するビットクロック（b CL）と、基準シリアルデータDATA0のバイトを識別するバイトクロック（B CL）と、基準シリアルデータDATA0に含まれる付加情報に対応するタイミング幅の範囲内でバイトクロックより遅れて変化するアーリクロック（E CL）と

、基準シリアルデータ DATA 0 に含まれる付加情報に対応するタイミング幅の範囲内でアーリクロックより遅れて変化するディレイクロック (D CL) とを抽出する。

【 0 0 2 7 】

付加情報チェック回路 6 7 1 ～ 6 7 3 の各々は、第 1 の可変遅延回路 6 1 1 ～ 6 1 3 から出力される基準チャンネル以外のチャンネルを介して受信されるシリアルデータ DATA 1 ～ DATA 3 に含まれる付加ビットに対応するタイミング幅内にアーリクロック (E CL) の変化時とディレイクロック (D CL) の変化時が含まれるかどうかを判定する。

【 0 0 2 8 】

第 2 の可変遅延回路 6 5 1 ～ 6 5 3 は、第 1 の可変遅延回路 6 1 1 ～ 6 1 3 から出力される基準チャンネル以外のチャンネルを介して受信されるシリアルデータ DATA 1 ～ DATA 3 に含まれる付加ビットの受信タイミング幅内にアーリクロックの変化時とディレイクロックの変化時の少なくとも 1 つが含まれないと判定されたときに、スキュー量をゼロにするように対応するチャンネルのシリアルデータの遅延量を補正する。

【 0 0 2 9 】

図 8 は図 7 における付加情報チェック回路 6 7 1 の詳細を示すブロック図である。同図において、付加情報チェック回路 6 7 1 は、第 1 のラッチ回路 7 1 と、第 1 の判定回路 7 2 と、第 2 のラッチ回路 7 3 と、第 2 の判定回路 7 4 とを備えている。

第 1 のラッチ回路 7 1 は、アーリクロック (E CL) の変化時に、シリアルデータが “1” であればハイレベル (第 1 の状態) となり、シリアルデータが “0” であればローレベル (第 1 の状態とは異なる第 2 の状態) となる第 1 のラッチ信号を出力する。

【 0 0 3 0 】

第 2 のラッチ回路 7 3 は、ディレイクロック (D CL) の変化時に、シリアルデータが “1” であればハイレベルとなり、シリアルデータが “0” であればローレベルとなる第 2 のラッチ信号を出力する。



第 1 の判定回路 7 2 は、第 1 のラッチ回路 7 1 の出力が所定バイト数にわたって“1”と“0”の交代パターンから外れているかどうかを判定する。

#### 【0 0 3 1】

第 2 の判定回路 7 4 は、第 2 のラッチ回路 7 3 の出力が所定バイト数にわたって“1”と“0”の交代パターンから外れているかどうかを判定する。

図 9 は図 7 における DATA 2 に対応する付加情報チェック回路 6 7 2 の詳細を示すブロック図であり、その構成は DATA 1 に対応する付加情報チェック回路 6 7 1 と同じであるので説明を省略する。

#### 【0 0 3 2】

図 1 0 は図 6 ～図 9 の回路の動作を説明するタイムチャートである。図において、(a) は受信データである。前述のように、送信側からは、送信データの各バイトの先頭に付加ビット A が付加され、各バイトの終わりに奇数パリティビットが付加されたデータが送信されるので、受信データの 1 バイトは 1 0 ビットである。

#### 【0 0 3 3】

最初にアイドル時の動作を説明する。

実際のデータ転送時ではないアイドル時の送信データ（アイドルパターン）をオール 1 とし、付加ビットを“A”の記号で表す。また、時間軸上のバイト間に“|”の記号で区切ると、アイドル時の送信シリアルデータは次のようになる。

```
A 1 1 1 1 1 1 1 1 1 1 | A 1 1 1 1 1 1 1 1 1 1 | A 1 1 1 1 1 1 1 1 1
1 | . . .
```

付加ビット A は、時間軸上のバイト毎に 0 と 1 が交互に反転するようにする。これにより、伝送データ中に同符号ビットが連続することを抑制できるので、受信回路の負荷を低減できる。実際のアイドル時の送信シリアルデータは次のようになる。

#### 【0 0 3 4】

```
1 1 1 1 1 1 1 1 1 1 | 0 1 1 1 1 1 1 1 1 1 | 1 1 1 1 1 1 1 1 1
1 | . . .
```

アイドル時には、受信部では 2 0 ビットに一回 0 となるシリアル信号を受信す

ることになり、この 0 の位置が最も遅れて到着する伝送チャネル（以降最遅延チャネルと呼び）を選ぶ。最遅延チャネルを見つけたす方法は既に知られており、例えば、特開平 1 1 - 2 9 8 4 5 7 号公報「パラレル光送信／光受信モジュール」（米国特許出願第 1 2 9, 4 0 7 号の"PARALLEL OPTICAL TRANSMISSION/RECEPTION MODULE"）に開示されている。

#### 【 0 0 3 5 】

アイドル時には、各伝送チャネル毎に受信したビット列中の 0 の位置と最遅延チャネルの 0 の位置が一致するように、可変遅延回路 6 1 0 ~ 6 1 3 における遅延値が設定される。具体的には、可変遅延回路 6 1 0 ~ 6 1 3 が出力する信号中の付加ビット A の 0 位置と最遅延チャネルの信号中のビット A の 0 位置との時間ずれ（位相差）が検出されてその位相差が電圧差に変換され、その電圧差はそれぞれ可変遅延回路 6 1 0 ~ 6 1 3 に与えられる。この電圧差が大きければ大きいほど、遅延値は大きい。最遅延信号と当該チャネルとの付加ビット A の位置が一致したときは、対応する位相比較及び電圧変換回路 6 2 0 ~ 6 2 3 の 1 つの出力が最低値となる。デジタル変換回路 6 3 0 ~ 6 3 3 はそれぞれ、位相比較及び電圧変換回路 6 2 0 ~ 6 2 3 のそれぞれの出力が最低値になったことを検出し、その時のみハイレベルを出力する。デジタル変換器 6 3 0 ~ 6 3 3 のすべての出力がハイレベルになった時が、アイドル時における伝送チャネル間のスキュー調整が完了した時である。スキュー調整が完了した時の遅延値が可変遅延回路 6 1 0 ~ 6 1 3 において固定される。

#### 【 0 0 3 6 】

次にアイドル時及びデータ転送中における可変遅延回路 6 5 1 ~ 6 5 3 の動作を説明する。

図 7 に示した装置では、DATA 0 のチャネルを基準チャネルとしているが、基準チャネルはどのチャネルでもよい。

基準チャネルのデータ DATA 0 のラインにはクロックリカバリ回路（CR）6 6 が備えられおり、このクロックリカバリ回路 6 6 は受信データから図 1 0 の（b）に示すビットクロック（b CL）と図 1 0 の（c）に示すバイトクロック（B CL）とを抽出する。ビットクロックはシリアルデータの 1 ビットをた

たくクロックであり、バイトクロックは付加ビットAをたくクロックであって、時間軸上のバイトを認識するために用いられる。

【0037】

クロックリカバリ回路66はまた、本来のバイトクロックよりも位相が若干遅いアーリクロックE CL (図10の(d))と、そのアーリクロックよりも位相が若干遅いディレイクロックD CL (図10の(e))とを生成する。ここでいう若干とは、シリアルデータの1ビットの幅の1/6程度とする。

この2つのバイトクロック(アーリクロックとディレイクロック)とビットクロックとはすべてのチャンネルの付加情報チェック回路670~673に供給される。

【0038】

前述のようにして可変遅延回路610~613におけるディレイ調整が完了しているので、アイドル時の直後のデータ転送時では全チャンネルの位相は揃っておりスキューはない。したがって、付加ビットAの位相は全チャンネルで揃っており、ビットクロックとアーリクロックとディレイクロックは全てのチャンネルに共通に使用可能である。

【0039】

基準チャンネル以外のチャンネルのデータDATA1~DATA3に対応する付加情報チェック回路671~673は、アーリクロックとディレイクロックの2つの信号で対応するシリアルデータに含まれる付加ビットAを常時読み取り、その結果を2ビットのデジタル信号として出力し可変遅延回路651~653にそれぞれ与える。

【0040】

アーリクロックの立ち上がり時にDATA1のシリアルデータのビットが“1”であれば、第1のラッチ回路71の出力は1バイト分の時間はハイレベルとなる。アーリクロックの立ち上がり時にシリアルデータのビットが“0”であれば、第1のラッチ回路71の出力は1バイト分の時間はローレベルとなる。

同様に、ディレイクロックの立ち上がり時にDATA1のシリアルデータのビットが“1”であれば、第2のラッチ回路73の出力は1バイト分の時間はハイ

レベルとなる。ディレイクロックの立ち上がり時にシリアルデータのビットが“0”であれば、第2のラッチ回路73の出力は1バイト分の時間はローレベルとなる。

#### 【0041】

DATA2及びDATA3のチャンネルにおいても、同様の動作をする。

図10において、時刻t1でアーリクロックが立ち上がっている。この時、DATA1のビットは付加ビットAの“1”なので、(g)に示すように図8に示す第1のラッチ回路71の出力であるラッチ結果はハイレベルになっている。また、時刻t2ではディレイクロックが立ち上がっており、この時のDATA1のビットも付加ビットAの“1”なので、(h)に示すように第2のラッチ回路73の出力もハイレベルになっている。

#### 【0042】

次に時刻t3でも、アーリクロックが立ち上がっている。この時、DATA1のビットは付加ビットAの“0”なので、(g)に示すように第1のラッチ回路71の出力であるラッチ結果はローレベルになっている。また、時刻t4ではディレイクロックが立ち上がっており、この時のビットも付加ビットAの“0”なので、(h)に示すように第2のラッチ回路73の出力もローレベルになっている。

#### 【0043】

こうして、第1のラッチ回路71の出力には(i)に示すように“1”と“0”とがバイト毎に交代する信号が得られている。また、第2のラッチ回路73の出力にも(j)に示すように“1”と“0”とがバイト毎に交代する信号が得られている。

第1の判定回路72は、(g)に示される信号を(i)に示される信号に変換してDATA1のチェック信号とする。(i)に示される信号は、(g)に示される信号を、例えば基準チャンネルのバイトクロック等の所定のタイミングに合わせてシフトしたチェック信号である。そして、第1の判定回路72は、このチェック信号が所定バイト数の間“0”と“1”を交互に繰り返すかどうかを判定する。チェック信号が所定バイト数の間“0”と“1”を交互に繰り返せば、DA

DATA 1に含まれる付加ビットAが許容範囲内に存在しているので、第1の判定回路72はDATA 1が基準チャネルに対して早くなっていないと判定して、“1”を出力する。チェック信号が所定バイト数の間“0”と“1”を交互に繰り返さなければ、付加ビットAは許容範囲内に存在していないので、判定回路72はDATA 1が基準チャネルに対して早くなっていると判定して“0”を出力する。図10の例では、(i)に示されるチェック信号は所定バイト数の間“0”と“1”を交互に繰り返しているので、第1の判定回路72は“1”を出力する。この場合はDATA 1は基準チャネルに対して早くなっていないと判定される。

【0044】

同様にして第2の判定回路74は、(h)に示される信号を(j)に示される信号に変換してDATA 1のチェック信号とする。(j)に示される信号は、(h)に示される信号を、例えば基準チャネルのバイトクロック等の所定のタイミングに合わせてシフトしたチェック信号である。そして、第2の判定回路74は、このチェック信号が所定バイト数の間“0”と“1”を交互に繰り返すかどうかを判定する。チェック信号が所定バイト数の間“0”と“1”を交互に繰り返せば、DATA 1に含まれる付加ビットAが許容範囲内に存在しているので、第2の判定回路74はDATA 1が基準チャネルに対して遅くなっていないと判定して、“1”を出力する。チェック信号が所定バイト数の間“0”と“1”を交互に繰り返さなければ、付加ビットAは許容範囲内に存在していないので、判定回路74はDATA 1が基準チャネルに対して遅くなっていると判定して“0”を出力する。図10の例では、(j)に示されるチェック信号は所定バイト数の間“0”と“1”を交互に繰り返しているので、第2の判定回路74も“1”を出力する。この場合はDATA 1は基準チャネルに対して遅くなっていないと判定される。

【0045】

結論的には、DATA 1は基準チャネルに対して早くも遅くもなっていない。

DATA 2について同様の考察をする。時刻t1でのアーリクロックが立ち上がり時には、DATA 2のビットはビット9であり、(1)に示すように図9に示す第1のラッチ回路81の出力であるラッチ結果はビット9をラッチした結

果となっている。この時のビット9の値が“1”ならばラッチ結果は“1”であり、ビット9の値が“0”ならばラッチ結果は“0”である。このようにビット9の値に依存しているので、図10の(1)においてはラッチ結果は不定を表す点線で示してある。

【0046】

また、時刻 $t_2$ のディレイクロックの立ち上がり時には、DATA2のビットは付加ビットAの“1”なので、(m)に示すように第2のラッチ回路83の出力はハイレベルになっている。

次に時刻 $t_3$ でのアーリクロックの立ち上がり時には、DATA2のビットはやはりビット9なので、(1)に示すように第1のラッチ回路81の出力であるラッチ結果はやはり不定である。

【0047】

また、時刻 $t_4$ ではディレイクロックが立ち上がっており、この時のビットは付加ビットAの“0”なので、(m)に示すようにラッチ結果はローレベルになっている。

こうして、第2のラッチ回路81の出力には(n)に示すようにビット9の値に対応する不定レベルの信号が出力され、第2のラッチ回路83の出力には(o)に示すように“1”と“0”とがバイト毎に交代する信号が得られている。

【0048】

第1の判定回路82は、(1)に示される信号を(n)に示される信号に変換してDATA2のAビットチェック信号0とする。(n)に示される信号は、(1)に示される信号を、例えば基準チャネルのバイトクロック等の所定のタイミングに合わせてシフトしたチェック信号である。そして、第1の判定回路82は、このAビットチェック信号0が所定バイト数の間“0”と“1”を交互に繰り返していないのでDATA2が基準チャネルのデータDATA0に対して早くなっていると判定して、“0”を出力する。

【0049】

第2の判定回路84は、(m)に示される信号を(o)に示される信号に変換してDATA2のAビットチェック信号1とする。(o)に示される信号は、(

m) に示される信号を、例えば基準チャンネルのバイトクロック等の所定のタイミングに合わせてシフトしたチェック信号である。そして、第2の判定回路84は、このチェック信号が所定バイト数の間“0”と“1”を交互に繰り返しているのでDATA2が基準チャンネルに対して遅れていないと判定して、“1”を出力する。

#### 【0050】

DATA3についても同様の動作をする。

そして、DATA1～DATA3のチャンネルに対応する可変遅延回路651～653はそれぞれ、付加ビットAのチェックの結果として、第1の判定回路から“1”を受け取り第2の判定回路から“0”を受け取った場合は、そのデータは基準データから遅れているのでそのデータの遅延量を少なくするように作用する。また、付加ビットAのチェックの結果として、第1の判定回路から“0”を受け取り第2の判定回路から“1”を受け取った場合は、そのデータは基準データより進んでいるのでそのデータの遅延量を大きくするように作用する。その結果、付加情報チェック回路671～673がそれぞれ出力する2ビットのチェック結果がすべて“1”になるように、可変遅延回路651～653が制御される。

#### 【0051】

このようにして、データ伝送中にスキューが発生した場合は、可変遅延回路651～653の中でそのスキューが発生したチャンネルに対応する可変遅延回路の遅延値を上記の手順により微調整することによりスキューは補正される。

アンドゲート68は、付加情報チェック回路671～673の出力信号がすべて“1”のとき、即ち、スキューがないときに“1”を出力する。また、論理回路69は、付加情報チェック回路671～673の出力信号の内の例えば少なくとも2つの2ビット出力がすべて“0”となるとアラーム信号“1”を出力する。これにより、可変遅延回路の遅延値の微調整がきかなくなる程にスキューが大きくなったときを検出することができる。

#### 【0052】

図11は図3に示した2次スキュー補正手段32の他の実施例を示す回路図である。図7の回路と図11の回路との主たる相違点は、図7の回路ではアーリィ

クロックとディレイクロックを用いて付加ビットAを常時監視していたのにたいし、図11の回路ではアイドル信号受信中に全チャンネルのバイト同期信号を生成し、各チャンネル間のバイト同期信号の位相差を監視するようにしたことである。

#### 【0053】

バイト同期信号の位相差を監視するために、図11の回路は、図6の可変遅延回路610～613の出力を受ける4つの可変遅延回路101～103と、4つのクロックリカバリ回路110～113と、4つのシリアル／パラレル変換回路120～123と、3つの位相比較及び電圧変換回路131～133と、3つのデジタル変換回路144～143と、アンドゲート15と、アラーム検出用論理回路16とを備えている。

#### 【0054】

図12は図11の回路の動作を説明するタイムチャートである。図において、(a)は図10の(a)と同じ受信データである。

次に可変遅延回路101～103の動作を説明する。

図11に示した装置でも、DATA0のチャンネルを基本チャンネルとしている。

DATA0のラインにはクロックリカバリ回路(CR)110が備えられおり、このクロックリカバリ回路110から図12の(a)に示すシリアルデータと、(b)に示すビットクロック(b CL)と、(c)に示すバイトクロック(B CL)とが出力される。

#### 【0055】

DATA1～DATA3のラインでは可変遅延回路101～103のそれぞれにクロックリカバリ回路111～113が接続されており、それぞれのクロックリカバリ回路からは対応する受信データのシリアルデータとビットクロックとバイトクロックとが出力される。即ち、図12の(d)はDATA1のシリアルデータを示し、(e)はそのシリアルデータから抽出されたビットクロックを示し、(f)はそのシリアルデータから抽出されたバイトクロックを示している。また、図12の(h)はDATA2のシリアルデータを示し、(i)はそのシリアルデータから抽出されたビットクロックを示し、(j)はそのシリアルデータから抽出されたバイトクロックを示している。



## 【 0 0 5 6 】

クロックリカバリ回路 1 1 0 ~ 1 1 3 から出力されたシリアルデータと、ビットクロックと、バイトクロックとは、それぞれ、シリアル／パラレル変換器 1 2 0 ~ 1 2 3 に入力されてバイトクロック B C L と出力データ DATA 0 ~ DATA 3 が出力される。

位相比較及び電圧変換回路 1 3 1 は、DATA 0 のバイトクロックと DATA 1 のバイトクロックとの位相差を電圧に変換してその電圧を可変遅延回路 1 0 1 に与える。同様に、位相比較及び電圧変換回路 1 3 2 は、DATA 0 のバイトクロックと DATA 2 のバイトクロックとの位相差を電圧に変換してその電圧を可変遅延回路 1 0 2 に与え、位相比較及び電圧変換回路 1 3 3 は、DATA 0 のバイトクロックと DATA 3 のバイトクロックとの位相差を電圧に変換してその電圧を可変遅延回路 1 0 3 に与える。デジタル変換器 1 4 1 ~ 1 4 3 はそれぞれ、位相比較及び電圧変換回路 1 3 1 ~ 1 3 3 の出力が最低値になったことを検出し、その時のみハイレベルを出力する。

## 【 0 0 5 7 】

図 1 2 の ( g ) は DATA 0 に対応するシリアル／パラレル変換回路 1 2 0 から出力される ( c ) に示すバイトクロックの位相と、DATA 1 に対応するシリアル／パラレル変換回路 1 2 1 から出力される ( f ) に示すバイトクロックの位相との比較結果である排他的論理和 ( EXOR ) を示す。この場合は、DATA 1 のバイトクロックが DATA 0 のバイトクロックより若干早くなっていることを示している。

## 【 0 0 5 8 】

また、図 1 2 の ( k ) は DATA 0 に対応するシリアル／パラレル変換回路 1 2 0 から出力される ( c ) に示すバイトクロックの位相と、DATA 2 に対応するシリアル／パラレル変換回路 1 2 2 から出力される ( j ) に示すバイトクロックの位相との比較結果である排他的論理和 ( EXOR ) を示す。この場合は、DATA 2 のバイトクロックが DATA 0 のバイトクロックより若干遅れていることを示している。

## 【 0 0 5 9 】

DATA 1～DATA 3 のチャンネルに対応する可変遅延回路 1 0 1～1 0 3 はそれぞれ、位相比較及び電圧変換回路 1 3 1～1 3 3 からの位相差の対応した電圧を受け取ると、その位相差を減少させるべく遅延値を決定する。

このようにして、ディジタル変換回路 1 4 1～1 4 3 の出力がすべて“1”となるようにする。

#### 【0 0 6 0】

可変遅延回路 6 1 0～6 1 3 と可変遅延回路 1 0 1～1 0 3 における遅延量の調整が完了した時点で、送信部 5 1 と受信部 5 2（図 5 参照）との間でデータ転送を開始する。位相比較及び電圧変換回路 1 3 1～1 3 3 は常時 DATA 0 のバイトクロックと当該データチャンネルのバイトクロックとの位相差を検出し、出力し続ける。新たなスキューの発生がない限り、ディジタル変換回路 1 4 1～1 4 3 の各々は“1”を出力し続ける。スキューが発生した場合は、可変遅延回路 1 0 1～1 0 3 の中でそのスキューが発生したチャンネルに対応する可変遅延回路の遅延値を上記の手順により微調整することによりスキューは補正される。

#### 【0 0 6 1】

アンドゲート 1 5 は、ディジタル変換回路 1 4 1～1 4 3 の出力信号がすべて“1”のとき、即ち、スキューがないときに“1”を出力する。また、論理回路 9 1 は、ディジタル変換回路 1 4 1～1 4 3 の出力信号の内の少なくとも 2 つが“0”となるとアラーム信号“1”を出力する。これにより、可変遅延回路の遅延値の微調整がきかなくなる程にスキューが大きくなったときを検出することができる。

#### 【0 0 6 2】

##### 【発明の効果】

以上の説明から明らかなように、本発明によれば、転送データに付加ビットを追加するだけで、データ転送中であってもスキューが常時自動補正される。

また、受信回路にアイドルパターン検出回路を設けたことにより、オペレータのデスキュー作業は不要となる。

#### 【0 0 6 3】

さらに、高速伝送系の場合、伝送品質向上のため、コード変換（例えば、4 B

4 B 変換や 8 B 1 0 B 変換) が採用されるのが一般的であるが、バイト毎に “ 1 ” と “ 0 ” とを繰り返す付加情報を転送データの各バイトの先頭に付加したことにより、転送データの符号デューティのアンバランス性を解消できるので、データ転送効率を落とすコード変換が不要になる。

【図面の簡単な説明】

【図 1】

従来の最も基本的なパラレルデータ伝送システムを示すブロック図である。

【図 2】

従来のシリアルバンドルパラレルデータ伝送システムのブロック図である。

【図 3】

本発明によるスキュー補正回路の概略ブロック図である。

【図 4】

図 3 に示したスキュー補正回路を詳細に示すブロック図である。

【図 5】

本発明の一実施例によるデータ伝送システムの概略ブロック図である。

【図 6】

本発明による 1 次スキュー補正回路の一実施例を示す回路図である。

【図 7】

本発明による 2 次スキュー補正手段の一実施例を示す回路図である。

【図 8】

図 7 における付加情報チェック回路 6 7 1 の詳細を示すブロック図である。

【図 9】

図 7 における付加情報チェック回路 6 7 2 の詳細を示すブロック図である。

【図 1 0】

図 6 の回路の動作を説明するタイムチャートである。

【図 1 1】

本発明による 2 次スキュー補正手段の他の実施例を示す回路図である。

【図 1 2】

図 1 0 の回路の動作を説明するタイムチャートである。

【符号の説明】

- 3 1 … 1 次スキュー補正手段
- 3 2 … 2 次スキュー補正手段
- 4 1 … アイドル検出回路
- 4 2 … 1 次スキュー補正回路
- 4 3 … デイレイ調整回路
- 4 4 … スキュー監視回路
- 5 2 2 … デスキュー回路
- 6 0 … 最遅延信号セレクト回路
- 6 1 0 ～ 6 1 3 … 可変遅延回路
- 6 6 … クロックリカバリ回路
- 6 7 0 ～ 6 7 3 … 付加情報チェック回路
- 6 5 1 ～ 6 5 3 … 可変遅延回路
- 7 1 … 第 1 のラッチ回路
- 7 2 … 第 1 の判定回路
- 7 3 … 第 2 のラッチ回路
- 7 4 … 第 2 の判定回路
- 1 1 0 … 基準チャネルクロックリカバリ回路
- 1 1 1 ～ 1 1 3 … 通常チャネルクロックリカバリ回路
- 1 3 1 ～ 1 3 3 … 位相比較及び電圧変換回路
- 1 4 1 ～ 1 4 3 … デジタル変換回路
- A … 付加ビット
- B CL … バイトクロック
- b CL … ビットクロック
- E CL … アーリクロック
- D CL … デイレイクロック

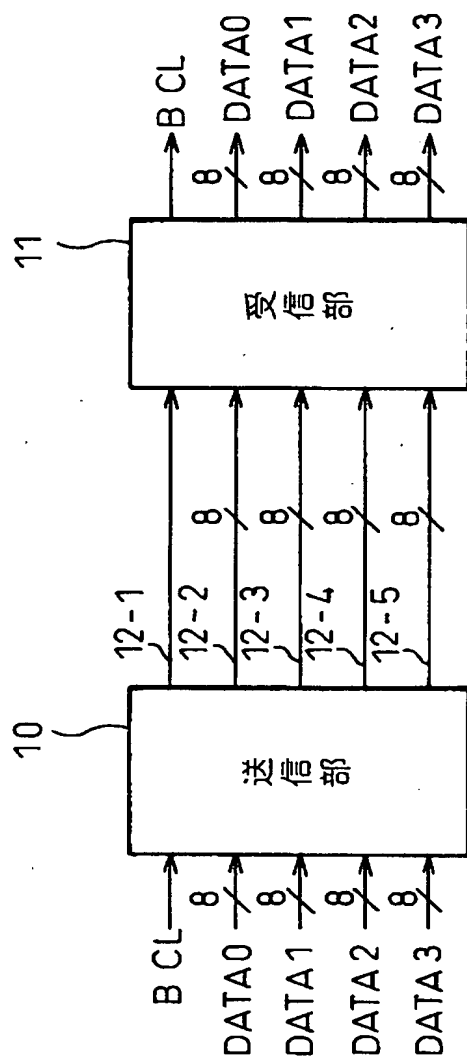
【書類名】

図面

【図 1】

図 1

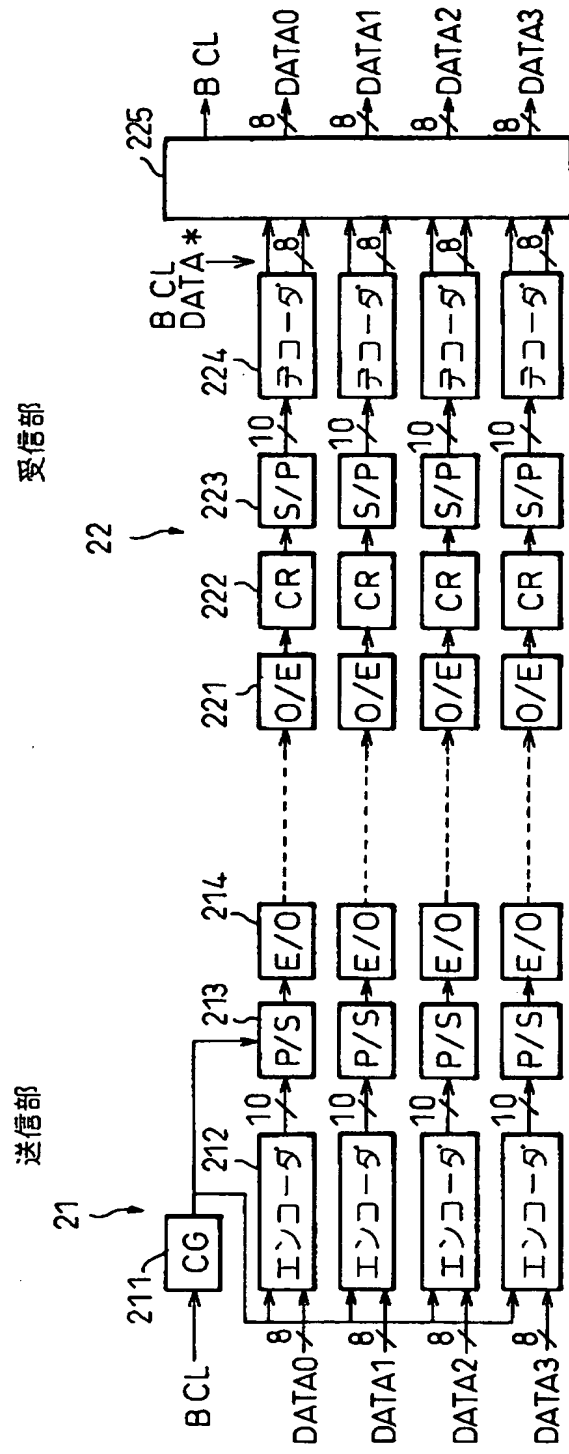
従来のパラレル伝送システム



【図 2】

図 2

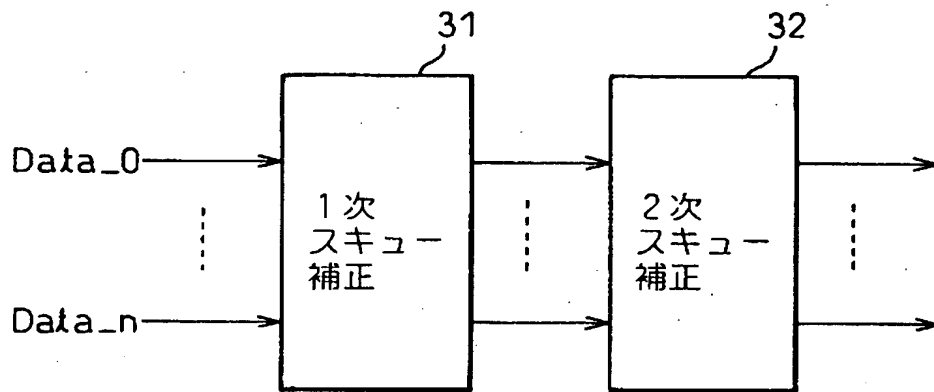
従来のシリアルバンドルデータ伝送システム



【図 3】

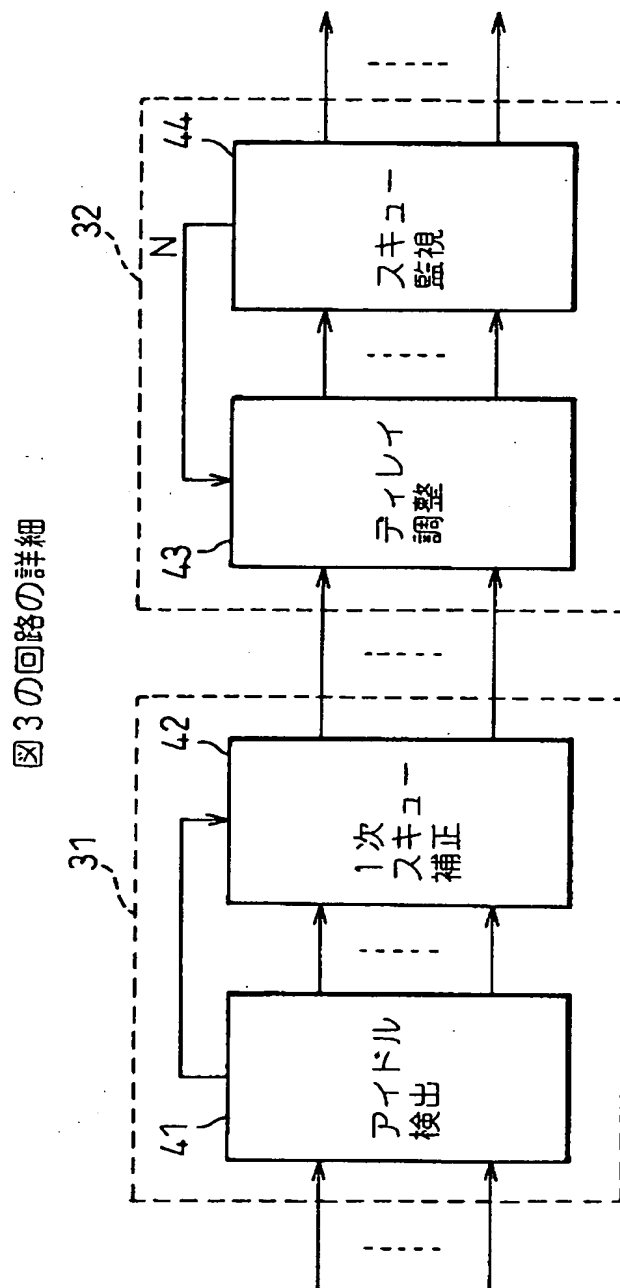
図 3

本発明によるスキュー補正回路



【図 4】

図 4

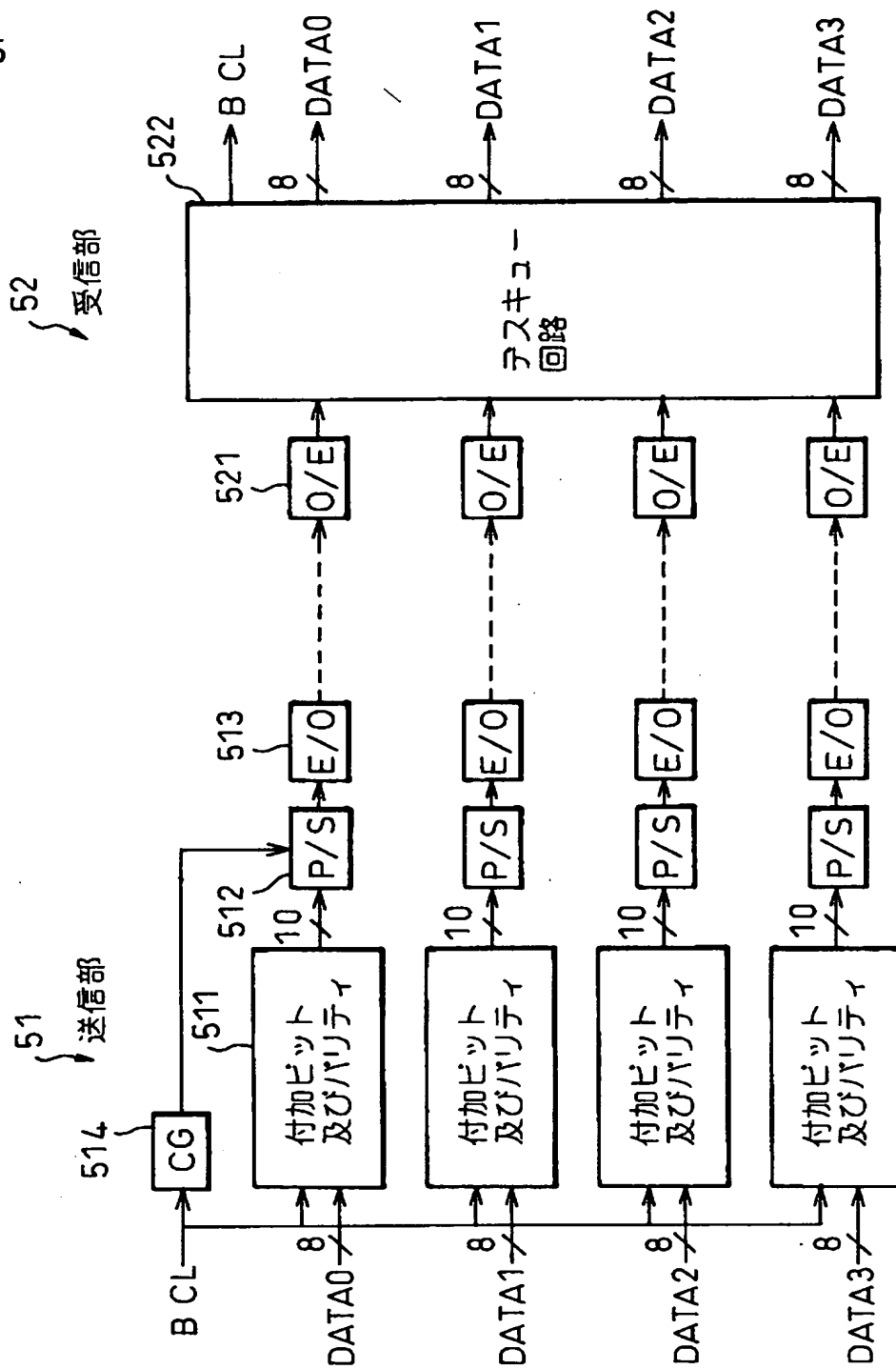




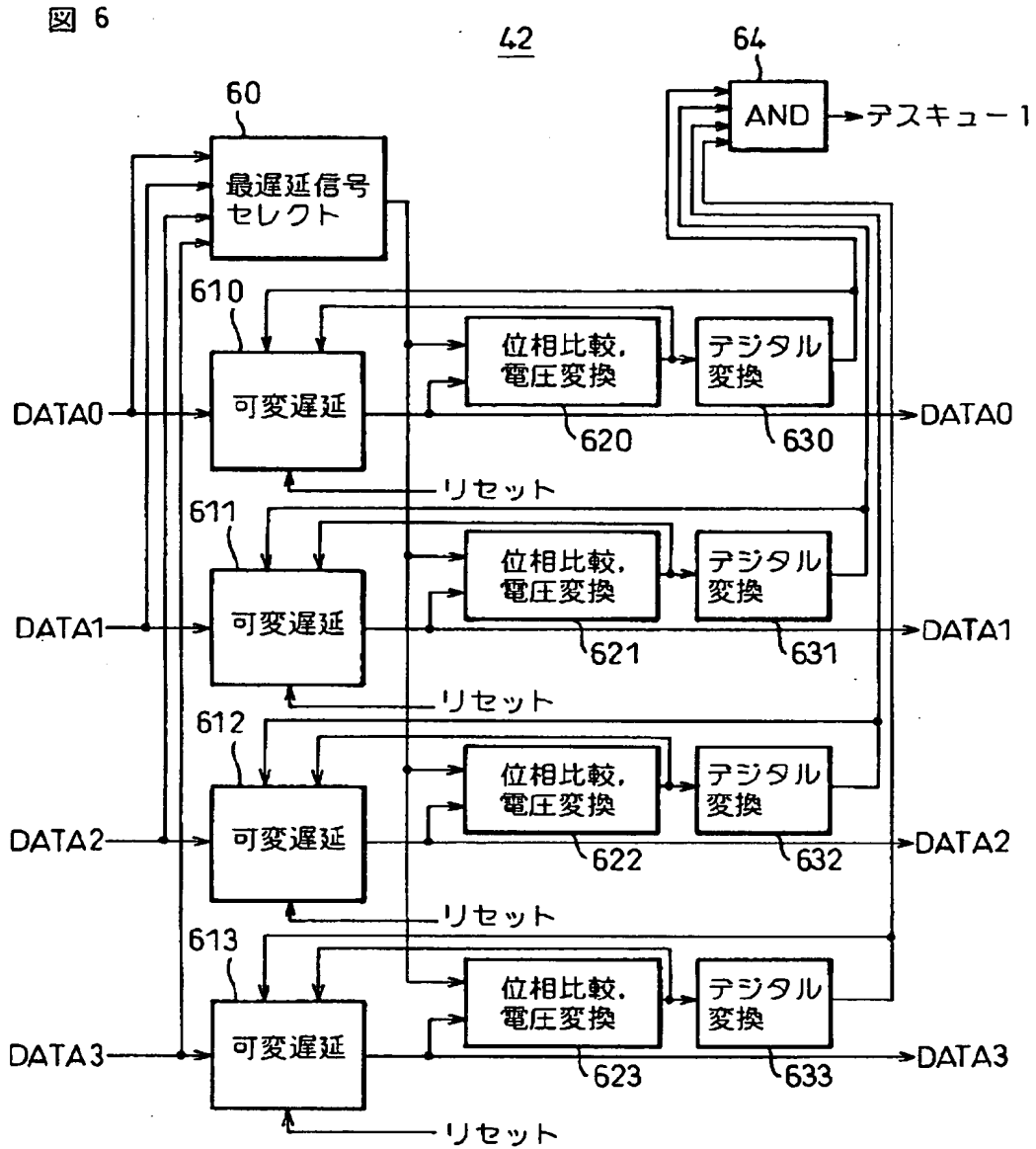
【図 5】

本発明の一実施例によるデータ伝送システム

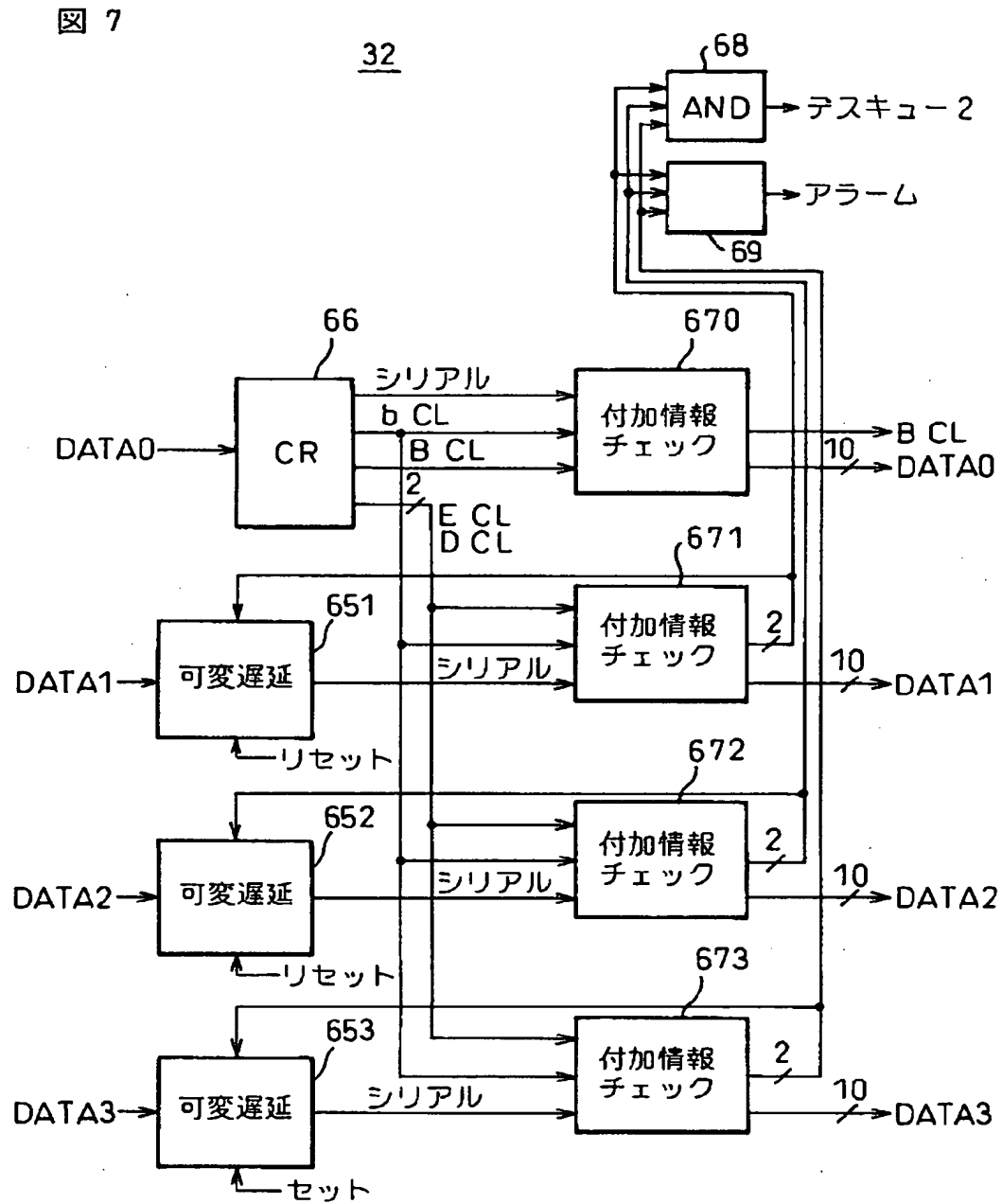
図 5



【図 6】

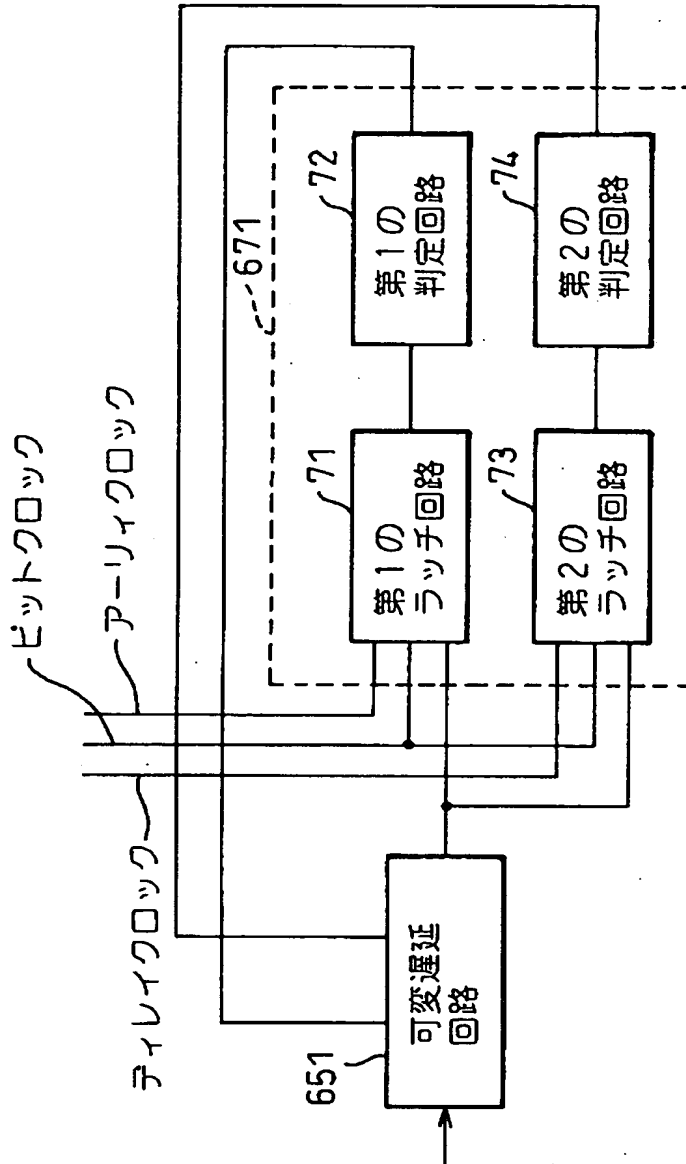


【図 7】



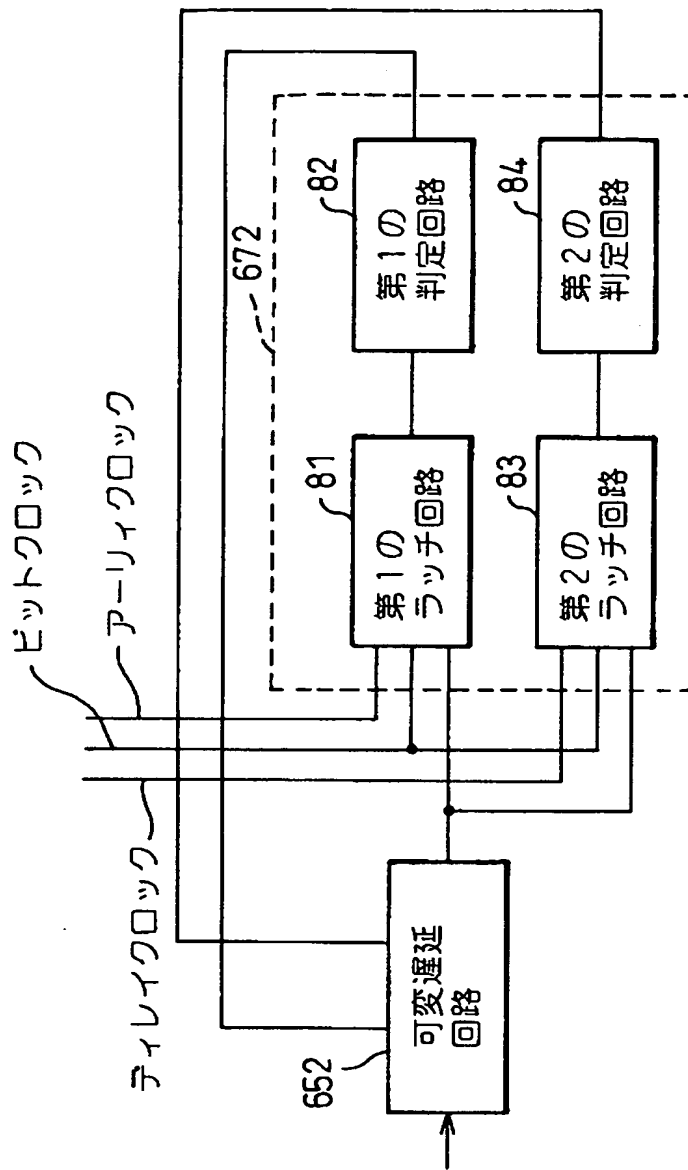
【図8】

図 8

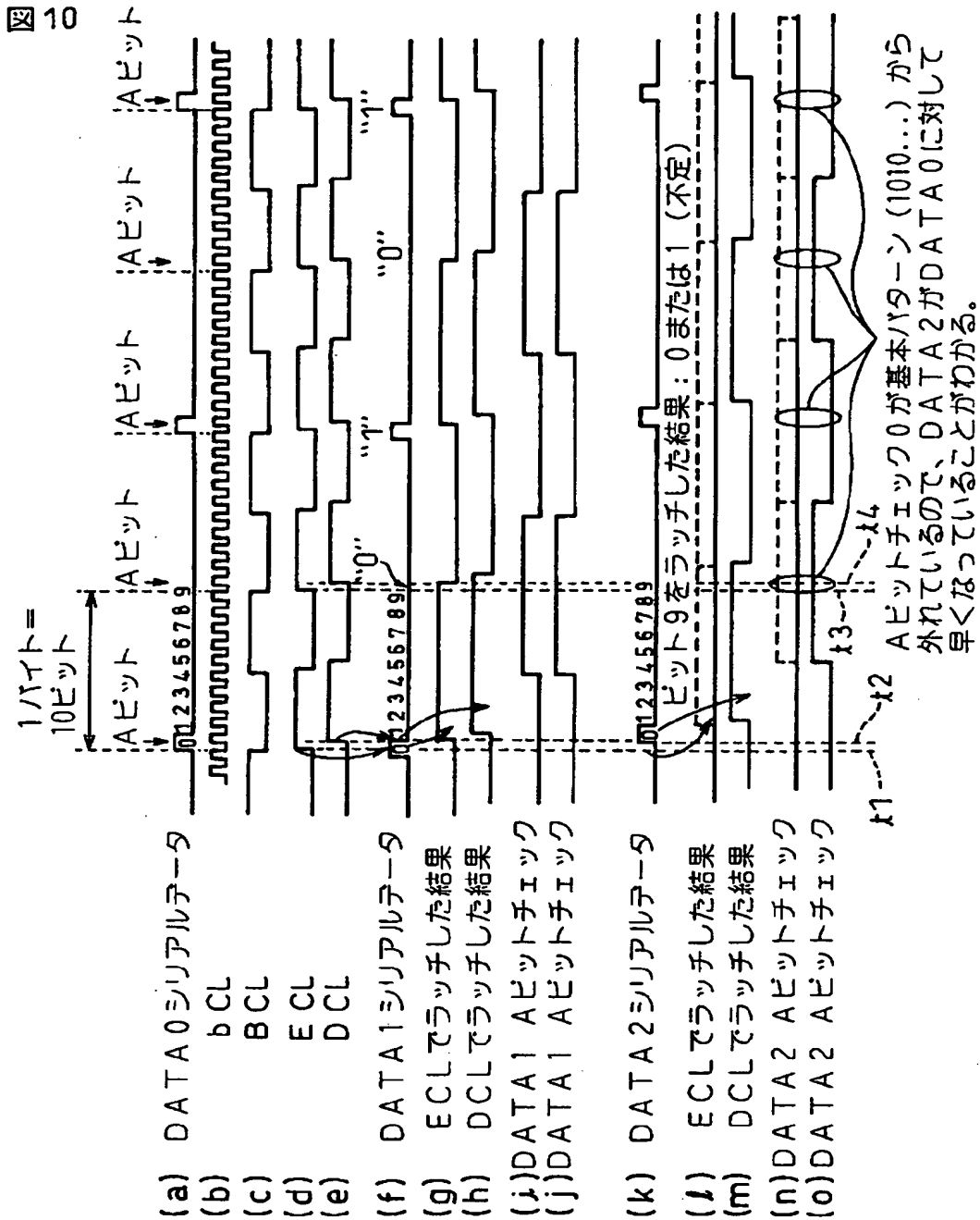


【図9】

図 9

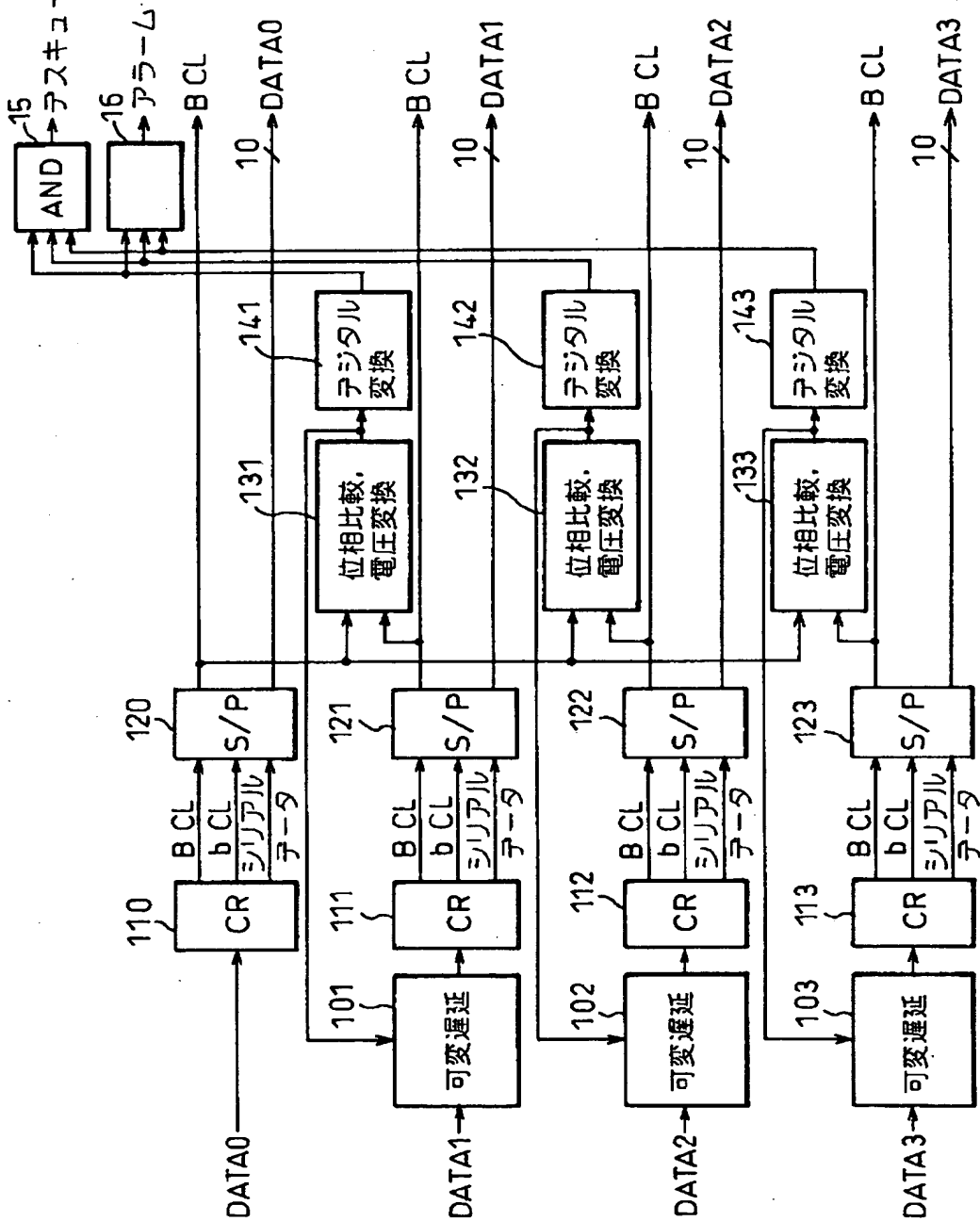


【図10】



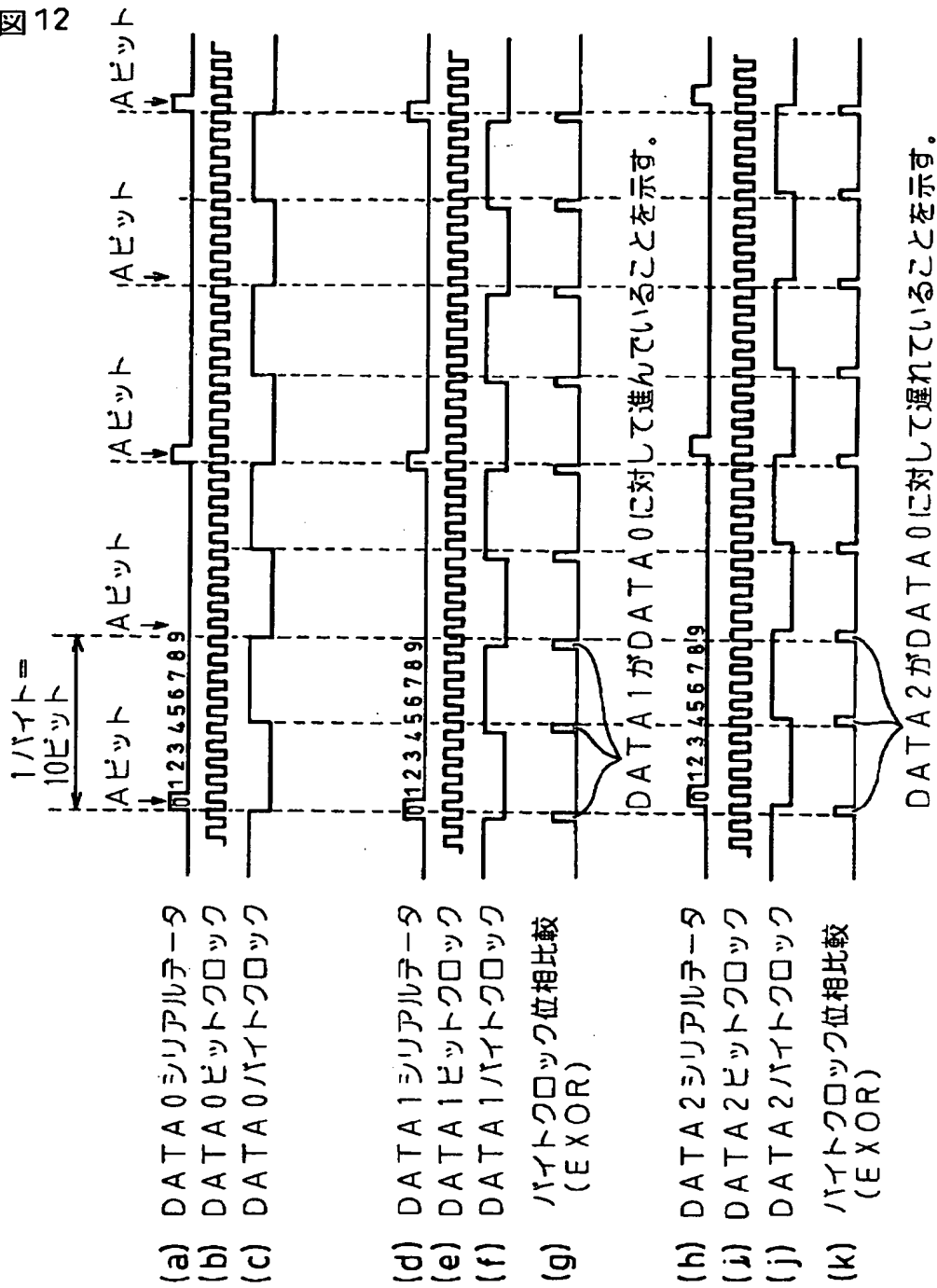
【図 11】

図 11



【図 1 2】

図 12





【書類名】 要約書

【要約】

【課題】 データ伝送中でもデスキュー作業を可能にして、データ転送容量を増大させシステム性能を向上させたスキュー補正装置を提供する。

【解決手段】 同期した複数のシリアルデータを受信して、その複数のシリアルデータ間の位相ずれであるスキュー量を小さくするスキュー補正装置において、アイドル時に、複数のシリアルデータ間におけるスキュー量を検出して、そのスキューを補正する第 1 のスキュー補正手段 3 1 と、データ伝送中に、複数のシリアルデータ間におけるスキュー量を検出して、そのスキューを補正する第 2 のスキュー補正手段 3 2 とを備えている。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社